



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

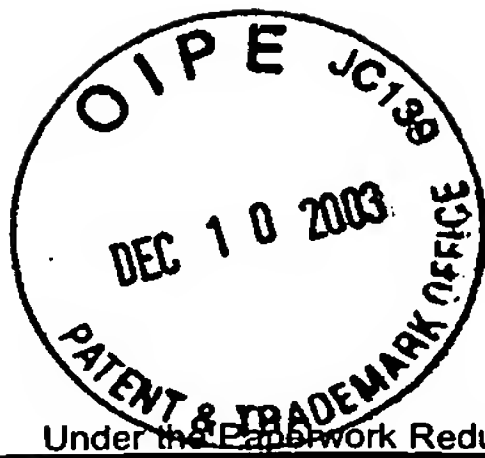
TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/707,226	
	Filing Date	11/28/2003	
	First Named Inventor	Chao-Chin Liu	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	WISP0041USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		
SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT		
Firm or Individual name	Winston Hsu, Reg. No.: 41,526	
Signature		
Date	11/28/2003	

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/707,226
Filing Date	11/28/2003
First Named Inventor	Chao-Chin Liu
Examiner Name	
Art Unit	
Attorney Docket No.	WISP0041USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims: -20** = X =
Independent Claims: -3** = X =
Multiple Dependent: =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	12/8/2003		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

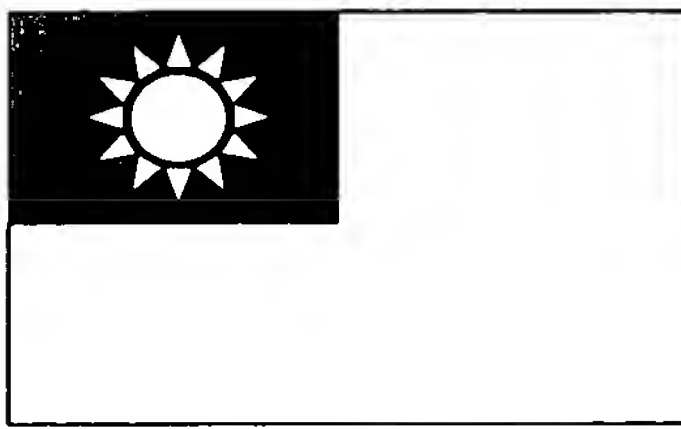
This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092122823	Taiwan R.O.C	08/20/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 20 日
Application Date

申請案號：092122823
Application No.

申請人：緯創資通股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 18 日
Issue Date

發文字號：09220929600
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	抗雜訊時脈訊號電路
	英 文	NOISE-FREE BUS CIRCUIT
二、 發明人 (共1人)	姓 名 (中文)	1. 劉召錦
	姓 名 (英文)	1. Liu, Chao-Chin
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣汐止市新台五路一段八十八號二十一樓
	住居所 (英 文)	1. 21F, No. 88, Sec. 1, Hsin-Tai-Wu Rd., Hsi-Chih City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 緯創資通股份有限公司
	名稱或 姓 名 (英文)	1. Wistron Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣汐止市新台五路一段八十八號二十一樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 21F, No. 88, Sec. 1, Hsin-Tai Wu Rd., Hsi-Chih City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 林憲銘
	代表人 (英文)	1. Lin, Hsien-Ming



四、中文發明摘要 (發明名稱：抗雜訊時脈訊號電路)

本發明係提供一種用來消除一匯流排上所傳送之原始時脈訊號中的雜訊之抗雜訊時脈訊號電路，其包含一連接導線組及一電壓偵測電路，該連接導線組包含該匯流排及一沿著該匯流排設置之導線，該原始時脈訊號係輸入於該匯流排之第一端，該導線之第一端係連接於一參考電壓。該電壓偵測電路係電連接於該連接導線組中該匯流排及該導線之第二端，用來依據該匯流排及該導線之第二端上之電壓間之電位差輸出一修正時脈訊號，該修正時脈訊號在等效上係為去除該雜訊後之原始時脈訊號。

五、(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明

10 抗雜訊時脈訊號電路

12 主控器

六、英文發明摘要 (發明名稱：NOISE-FREE BUS CIRCUIT)

A noise-free bus circuit for diminishing noises of an original clock signal over a bus is disclosed. The noise-free bus circuit has a connection wire module and a voltage detection circuit. The connection wire module includes the bus and a conduction wire disposed along the bus. The bus has a first end connected to the original clock signal while the conduction wire has a



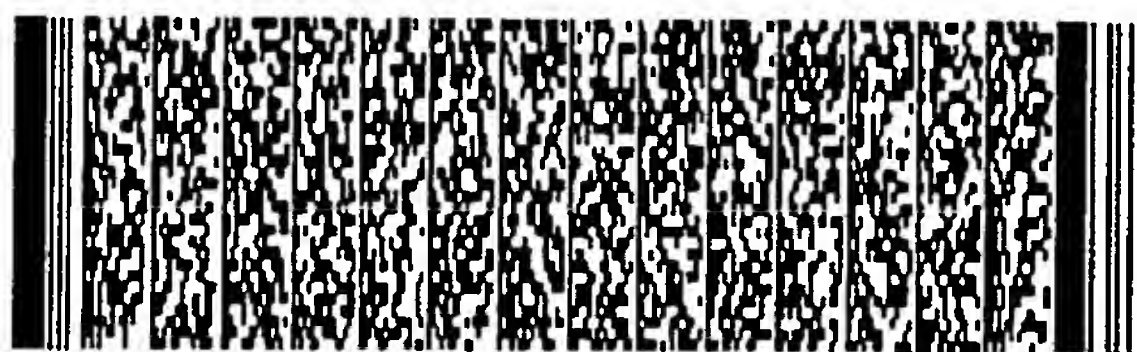
四、中文發明摘要 (發明名稱：抗雜訊時脈訊號電路)

- | | |
|-----------|----------|
| 14 從控器 | 16 連接導線組 |
| 18 電壓偵測電路 | 20 匯流排 |
| 22 導線 | 24 參考電路 |

代表化學式

六、英文發明摘要 (發明名稱：NOISE-FREE BUS CIRCUIT)

first end connected to a reference voltage. The voltage detection circuit is electrically connected to second ends of the bus and of the conduction wire for generating an amended clock signal by determining a voltage difference between voltages at the second ends of the bus and of the conduction wire, the amended clock signal equivalently equal to the original clock



四、中文發明摘要 (發明名稱：抗雜訊時脈訊號電路)

六、英文發明摘要 (發明名稱：NOISE-FREE BUS CIRCUIT)

signal without the noises.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

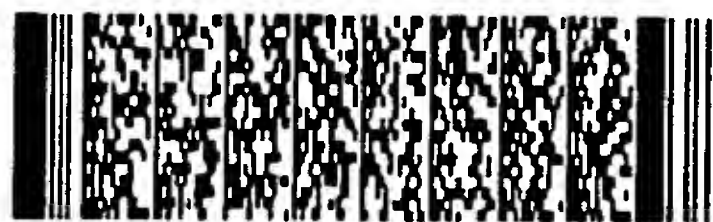
寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

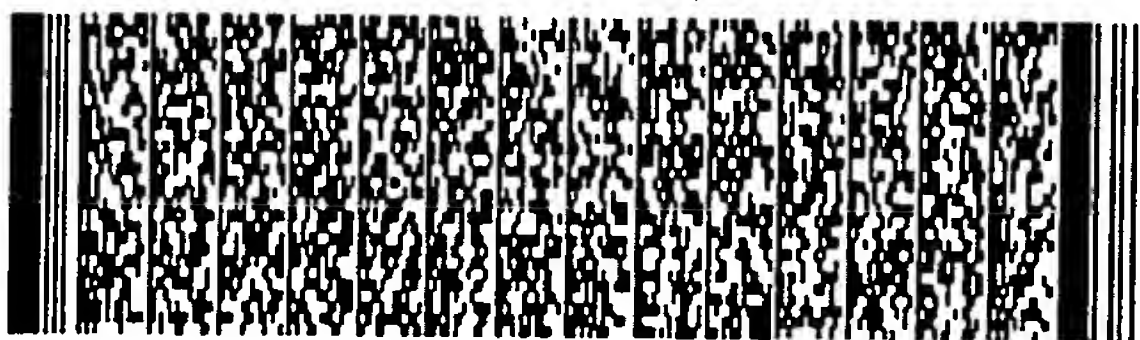
發明所屬之技術領域

本發明係相關於一種匯流排電路，尤指一種用來傳送一時脈訊號且該時脈訊號不會受到雜訊干擾之抗雜訊時脈訊號電路。

先前技術

在任何電子電路中，傳送於一導線上之訊號極易受到雜訊的干擾。一般而言，若該訊號為一傳送於一資料匯流排 (data bus) 之資料訊號，干擾至該資料訊號上之雜訊尚不致於對判讀該資料訊號時發生錯誤，但如果該訊號為一傳送於一時脈匯流排 (clock bus) 之時脈訊號，存在於該時脈訊號上之任何小突波 (glitch) 也極有可能造成該電子電路之不正常運作。

請參閱圖一，圖一為習知一原始時脈訊號 CLK_{org} 及原始時脈訊號 CLK_{org} 於被傳送的過程中承受了雜訊後所形成之雜訊時脈訊號 CLK_{no} 之波形圖。如圖一中 1 部分所示，在該電子電路中，原始時脈訊號 CLK_{org} 原本預定以發生於時間 t_1 之上升緣 (rising edge) 來觸發一電子元件，然而，原始時脈訊號 CLK_{org} 在經由該時脈匯流排傳送的過程中承受了雜訊而形成了如圖一中 2 部分所示之雜訊時脈訊號 CLK_{no} ，該電子元件因雜訊時脈訊號 CLK_{no} 之觸發，不僅會動作於



五、發明說明 (2)

時間 t 處之上升緣，亦會於時間 t_2 及 t 處之上升緣開始動作。

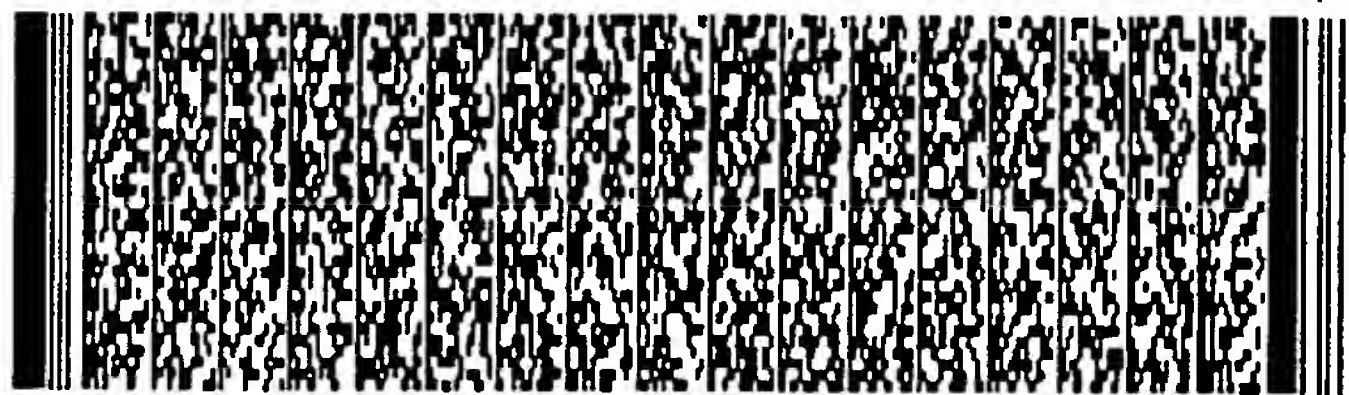
發明內容

因此本發明之主要目的在於提供一種用來傳送一時脈訊號且該時脈訊號不會受到雜訊干擾之抗雜訊時脈訊號電路。

根據本發明之申請專利範圍，本發明係揭露一種用來消除一匯流排上所傳送之原始時脈訊號中之一雜訊之抗雜訊時脈訊號電路，該連接導線組包含該匯流排及一沿著該匯流排第一端，該導線之第一端係連接於一參考電壓。該電壓排及該導線之第二端係電連接於該連接導線組中該匯流排及該導線之修正時脈訊號，該修正時脈訊號係為去除該雜訊後之原始時脈訊號。

在本發明之一實施例中，該導線係平行於該匯流排。

由於本發明之抗雜訊時脈訊號電路中該連接導線組除了包含該匯流排外，另包含一平行於該匯流排之導線，由



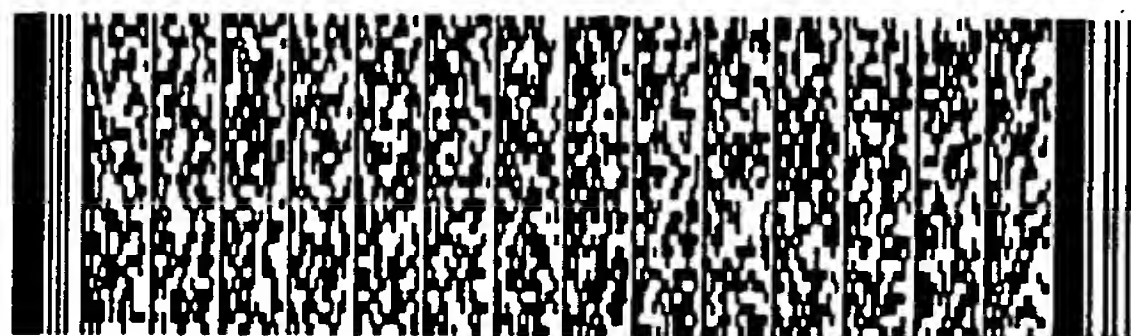
五、發明說明 (3)

於兩互相平行之導線之兩端所累積之雜訊間之差皆等於零，所以等效上傳送於該匯流排上之原始時脈訊號不會受到雜訊之干擾。

實施方式

請參閱圖二，圖二為本發明之一實施例中一組內含兩條平行導線 82、84 之連接導線組 80 之示意圖。如圖二中所示，因為雜訊 NOISE 的干擾，導線 82、84 之第一端（或稱之為輸入端） L_{11} 、 L_{21} 上之原始訊號 V_{1org} 、 V_{2org} 在被傳送至導線 82、84 之第二端（或稱之為輸出端） L_{12} 、 L_{22} 後會分別轉變成原始訊號 V_{1org} + 雜訊 NOISE₁、 V_{2org} + 雜訊 NOISE₂。然而，因為連接導線組 80 中所包含之導線 82、84 係相互平行，所以原始訊號 V_{1org} 、 V_{2org} 在分別被導線 82、84 傳送的过程中所分別累積到之雜訊 NOISE₁、NOISE₂ 係幾乎相等，詳言之，導線 82 之第一端 L_{11} 上之原始訊號 V_{1org} 與導線 84 之第一端 L_{21} 上之原始訊號 V_{2org} 間之差幾乎等於導線 82 之第二端 L_{12} 上之原始訊號 V_{1org} + 雜訊 NOISE₁ 與導線 84 之第二端 L_{22} 上之原始訊號 V_{2org} + 雜訊 NOISE₂ 間之差。本發明即利用存在於兩平行導線之第一端上之訊號間之差幾乎等於第二端上之訊號間之差之性質以消除一匯流排上所傳送之時脈訊號中之雜訊。

請參閱圖三，圖三為本發明之一實施例中一抗雜訊時脈訊號電路 10 之功能方塊圖，抗雜訊時脈訊號電路 10 可將

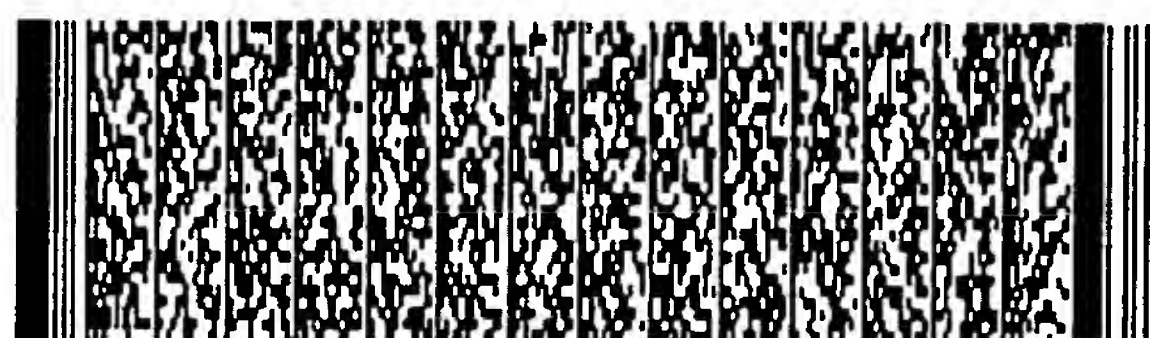
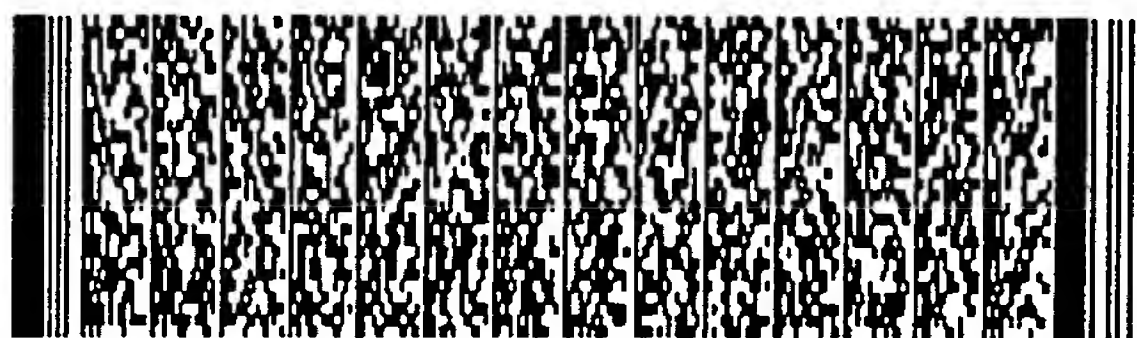


五、發明說明 (4)

一主控器 12 所發出之原始時脈訊號 CLK_{org} 經由一匯流排 20 傳送至一從控器 14。在由主控器 12 經由匯流排 20 傳送至從控器 14 之過程中，原始時脈訊號 CLK_{org} 無可避免地會受到雜訊 NOISE 的干擾（於匯流排 20 之第二端 BUS_2 上形成一雜訊時脈訊號 CLK_{no} ），而本發明之抗雜訊時脈訊號電路 10 可有效地消除雜訊時脈訊號 CLK_{no} 中之雜訊 NOISE，並進而使得從控器 14 所接收到之時脈訊號為一未帶有任何雜訊 NOISE 之修正時脈訊號 CLK_{amd} 。

抗雜訊時脈訊號電路 10 包含一連接導線組 16、一電壓偵測電路 18 及一用來產生一參考電壓 V_{ref} 之參考電路 24。連接導線組 16 包含匯流排 20 及一條沿著匯流排 20 設置之導線 22，主控器 12 所發出之原始時脈訊號 CLK_{org} 係輸入於匯流排 20 之第一端 BUS_1 ，導線 22 之第一端 LINE 係連接於參考電路 24，參考電壓 V_{ref} 係輸入於導線 22 之第一端 $LINE_1$ 。連接導線組 16 中匯流排 20 及導線 22 之第二端 BUS_2 、 $LINE_2$ 皆電連接於電壓偵測電路 18。電壓偵測電路 18 係設置於匯流排 20（及導線 22）之第二端 BUS 處，電壓偵測電路 18 係依據匯流排 20 及導線 22 之第二端 BUS_2 、 $LINE_2$ 上之雜訊時脈訊號 CLK_{no} 及雜訊參考電壓 V_{refno} 間之電位差輸出修正時脈訊號 CLK_{amd} 。

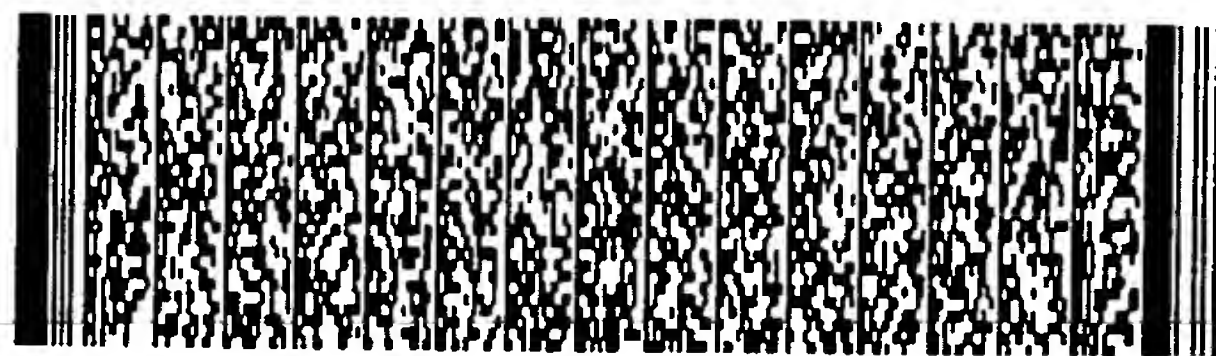
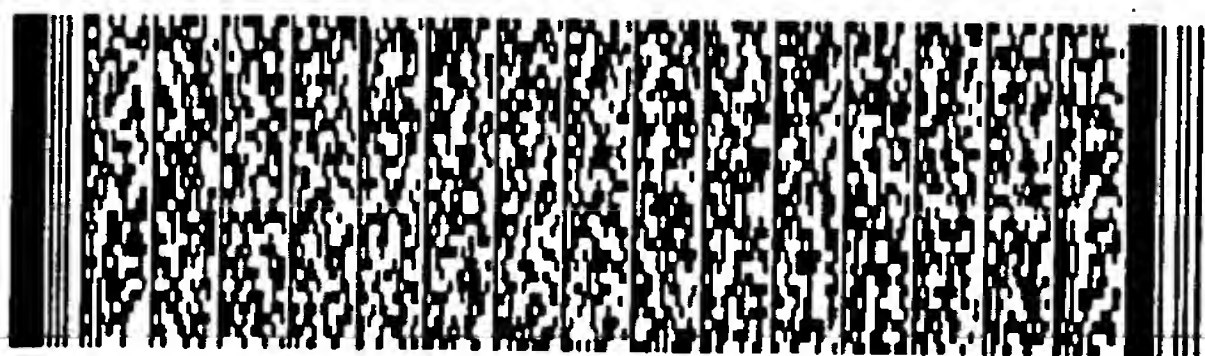
在本發明之一實施例中，匯流排 20 為一 SMBUS (smart bus)，主控器 12 可為一南橋電路或一鍵盤控制器



五、發明說明 (5)

(keyboard controller, KBC)，從控器 14 可為一記憶體模組、一時序產生器或一周邊裝置，導線 22 係平行於匯流排 20，電壓偵測電路 18 為一用來於雜訊時脈訊號 CLK_{no} 大於雜訊參考訊號 V_{refno} 時輸出修正時脈訊號 CLK_{and} 之比較器，而參考電路 24 包含一第一電阻 R_1 及一串接於第一電阻 R_1 之第二電阻 R_2 ，其中第一電阻 R_1 之第一端係連接於一第一電壓 V_{cc} ，第二電阻 R_2 之第一端係連接於一第二電壓 GND，而導線 22 之第一端 LINE 係連接於第一電阻 R_1 之第二端以及第二電阻 R_2 之第二端。

在本發明中，雖然匯流排 20 之第一端 BUS_1 上之原始時脈訊號 CLK_{org} 經由匯流排 20 被傳送至匯流排 20 之第二端 BUS_2 的過程中，容或會受到雜訊 NOISE 之干擾而變形（例如變形成圖一中之所示之雜訊時脈訊號 CLK_{no} ），但因導線 22 之第一端 LINE 上之參考訊號 V_{ref} 經由導線 22 被傳送至導線 22 之第二端 LINE 的過程中，所承受之雜訊 NOISE 係幾乎等同於原始時脈訊號 CLK_{org} 所承受之雜訊 NOISE（前已述及，兩平行導線之第一端上之訊號間之差幾乎等於第二端上之訊號間之差），所以，匯流排 20 之第二端 BUS_2 上之雜訊時脈 CLK_{no} 與導線 22 之第二端 $LINE_2$ 上之雜訊參考電壓 V_{refno} 間之變化關係無異於匯流排 20 之第一端 BUS_1 上之原始時脈訊號 CLK_{org} 與導線 22 之第一端 LINE 上之參考電壓 V_{ref} 間之變化關係。等效上，設置於匯流排 20（及導線 22）之第二端 BUS_2 處用來依據雜訊時脈訊號 CLK_{no} 及雜訊參考訊號 V_{refno} 以產生修

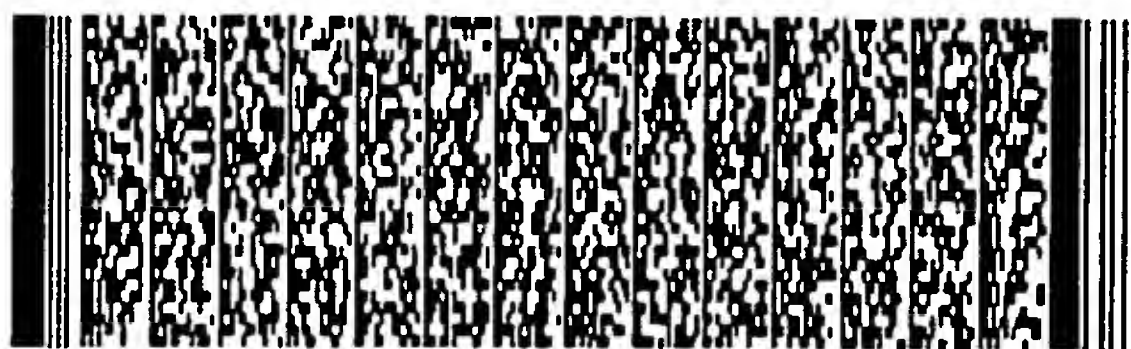


五、發明說明 (6)

正時脈訊號 CLK_{and} 之電壓偵測電路 18 彷彿係設置於匯流排 20 (及導線 22) 之第一端 BUS 處，用來依據原始時脈訊號 CLK_{org} 及參考訊號 V_{ref} 以同樣產生修正時脈訊號 CLK_{and} 之電壓偵測電路，原始時脈訊號 CLK_{org} 在經由匯流排 20 傳送的過程中彷彿未曾受到任何雜訊 NOISE 之干擾。

請參閱圖四，圖四為本發明中原始時脈訊號 CLK_{org} 、參考電壓 V_{ref} 、雜訊時脈訊號 CLK_{no} 、雜訊參考電壓 V_{refno} 及修正時脈訊號 CLK_{and} 之波形圖。如圖四中 3 及 4 部分所示，主控器 12 及參考電路 24 分別於匯流排 20 之第一端 BUS₁ 及導線 22 之第一端 LINE 分別輸出不帶任何雜訊 NOISE 之原始時脈訊號 CLK_{org} 及參考電壓 V_{ref} 。在經過連接導線組 16 之傳送後，匯流排 20 之第二端 BUS₂ 及導線 22 之第二端 LINE₂ 上之雜訊時脈訊號 CLK_{no} 及雜訊參考電壓 V_{refno} 會如圖四中 5 及 6 部分所顯示之波形分別帶有雜訊 NOISE，而雜訊時脈訊號 CLK_{no} 及雜訊參考電壓 V_{refno} 中雜訊 NOISE 之發生時間及大小卻會完全相同。因此，作為比較器之電壓偵測電路 18 只關心雜訊時脈訊號 CLK_{no} 及雜訊參考電壓 V_{refno} 間之相對關係 (某一時點之雜訊時脈訊號 CLK_{no} 是否高於該時點之雜訊參考電壓 V_{refno})，而不去理會雜訊時脈訊號 CLK_{no} 及雜訊參考電壓 V_{refno} 之絕對數值究竟為何。

在本發明之抗雜訊時脈訊號電路 10 中，用來產生參考電壓 V_{ref} 之參考電路 24 也可改由運算放大器所構成，而電壓



五、發明說明 (7)

偵測電路 18 除了比較器外，也可由運算放大器或減法器來構成，由於這些皆為習知技術，所以於此不再贅述。

在本發明之一實施例中，抗雜訊時脈訊號電路 10 之連接導線組 16 雖係包含僅具單一條匯流排之 SMBUS，然而連接導線組 16 亦可包含具有複數條匯流排之其它型式匯流排，但此時之連接導線組 16 必需包含一條或一條以上對應於該其它型式匯流排之複數條匯流排導線之導線，並且電壓偵測電路 18 中也必需對應地包含一個或一個以上之比較器。

圖三中所示之連接導線組 16 係僅包含一條位於匯流排 20 一側之導線 22，並假設連接導線組 16 所承受之來自匯流排 20 側及導線 22 側的雜訊皆相同。然而，在某些情況下，來自於連接導線組 16 兩側的雜訊會有些許的不同，導致匯流排 20 之第二端 BUS₂ 上及導線 22 之第二端 LINE₂ 上所累積之雜訊不盡一致，對於此種問題，吾人可以利用如圖五所示之另一實施例來解決。請參閱圖五，圖五為本發明之另一實施例中一抗雜訊時脈訊號電路 50 之功能方塊圖。相較於圖三中所顯示之抗雜訊時脈訊號電路 10，抗雜訊時脈訊號電路 50 另包含一電壓算術平均器 52，並且抗雜訊時脈訊號電路 50 中所包含之連接導線組 56 除了包含匯流排 20 及導線 22 外，另包含一亦沿著匯流排 20 設置之導線 54，導線 22、54 係分設於匯流排 20 之兩



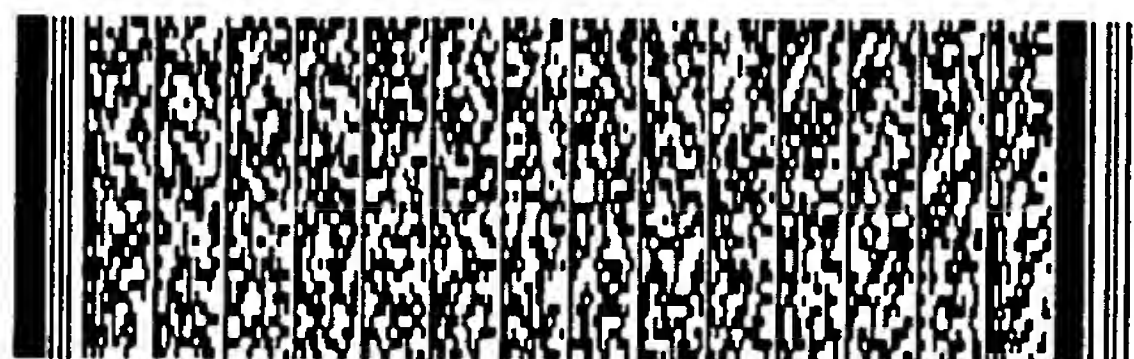
五、發明說明 (8)

側。電壓算術平均器 52 包含一加法器 58 及一除法器 60，加法器 58 係用來加總導線 22、54 之第二端上之雜訊參考電壓 V_{nol} 、 V_{noz} ，而除法器 60 係用來將加法器 58 所輸出之雜訊參考電壓 V_{nol} 、 V_{noz} 相加之結果除以 2。換言之，電壓算數平均器 52 係用來計算雜訊參考電壓 V_{nol} 、 V_{noz} 之算術平均電壓。接著，電壓偵測電路 18 就依據該算術平均電壓及雜訊時脈訊號 CLK_n 產生修正時脈訊號 CLK_{amd} 。

當然，圖五之實施例中雖僅列出二條導線 22，然而本發明亦可以沿著該匯流排設置多條與參考電壓電連的導線，並藉由電壓算數平均器計算出所有導線輸出端之算數平均電壓，然後依據該算術平均電壓及雜訊時脈訊號 CLK_n 來產生修正時脈訊號 CLK_{amd} 。

相較於習知技術，運用本發明，不論原始時脈訊號 CLK_{org} 被傳送的路徑有多遠及所承受到之雜訊有多大，該電壓偵測電路皆能動態地等效上依據原始時脈訊號 CLK_{org} 及參考電壓 V_{ref} 間之關係產生不含任何突波之修正時脈訊號 CLK_{amd} 。因此本發明在等效上可消除原始時脈訊號 CLK_{org} 於傳送的過程中累積於其上之雜訊。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知一原始時脈訊號 CLK_{org} 及原始時脈訊號 CLK_{org} 於被傳送的過程中承受了雜訊後所形成之雜訊時脈訊號 CLK_n 之波形圖。

圖二為本發明一組內含兩條平行導線之連接導線組之示意圖。

圖三為本發明之一實施例中一抗雜訊時脈訊號電路之功能方塊圖。

圖四為圖三所顯示之抗雜訊時脈訊號電路中各訊號之波形圖。

圖五為本發明之另一實施例中一抗雜訊時脈訊號電路之功能方塊圖。

圖式之符號說明

10、50 抗雜訊時脈訊號電路

14 從控器

18 電壓偵測電路

22、54 導線

52 電壓算術平均器

60 除法器

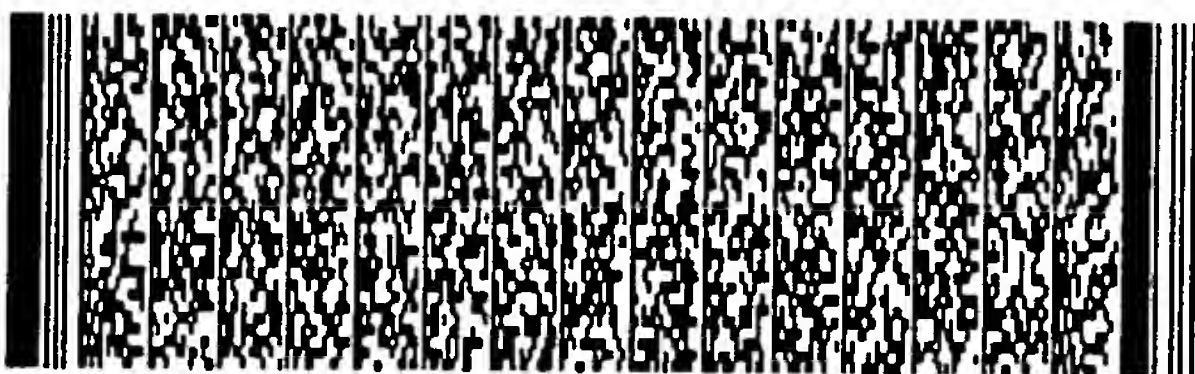
12 主控器

16、56 連接導線組

20 匯流排

24 參考電路

58 加法器



六、申請專利範圍

1. 一種用來消除一匯流排上所傳送之原始時脈訊號 (clock signal) 中的雜訊之抗雜訊時脈訊號電路，其包含：
一連接導線組，其包含該匯流排及一沿著該匯流排設置之導線，該原始時脈訊號係輸入於該匯流排之第一端，該導線之第一端係連接於一參考電壓；以及
一電壓偵測電路，電連接於該連接導線組中該匯流排及該導線之第二端，用來依據該匯流排及該導線之第二端上之電位差輸出一修正時脈訊號。
2. 如申請專利範圍第 1 項所述之抗雜訊時脈訊號電路，其中該導線係平行於該匯流排。
3. 如申請專利範圍第 1 項所述之抗雜訊時脈訊號電路，其中該參考電壓係產生自一參考電路。
4. 如申請專利範圍第 3 項所述之抗雜訊時脈訊號電路，其中該參考電路係包含一第一電阻及一串接於該第一電阻之第二電阻，該第一電阻之第一端係連接於一第一電壓，該第二電阻之第一端係連接於一第二電壓，該導線之第一端係連接於該第一電阻之第二端以及該第二電阻之第二端。
5. 如申請專利範圍第 1 項所述之抗雜訊時脈訊號電路，其



六、申請專利範圍

中該電壓偵測電路包含一運算放大器 (operational amplifier)。

6.如申請專利範圍第1項所述之抗雜訊時脈訊號電路，其中該原始時脈訊號係產生自一主控器 (bus master)。

7.如申請專利範圍第6項所述之抗雜訊時脈訊號電路，其中該主控器為一南橋電路。

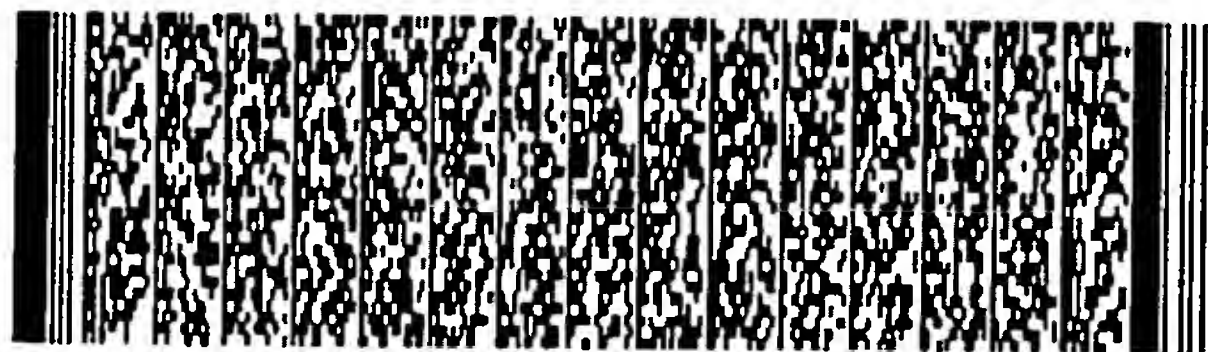
8.如申請專利範圍第6項所述之抗雜訊時脈訊號電路，其中該主控器為一鍵盤控制器 (keyboard controller, KBC)。

9.如申請專利範圍第1項所述之抗雜訊時脈訊號電路，其中該修正時脈訊號係輸出至一從控器 (bus slave)。

10.如申請專利範圍第9項所述之抗雜訊時脈訊號電路，其中該從控器為一記憶體模組。

11.如申請專利範圍第9項所述之抗雜訊時脈訊號電路，其中該從控器為一時序產生器 (clock generator)。

12.如申請專利範圍第9項所述之抗雜訊時脈訊號電路，其中該從控器為一周邊裝置 (peripheral device)。



六、申請專利範圍

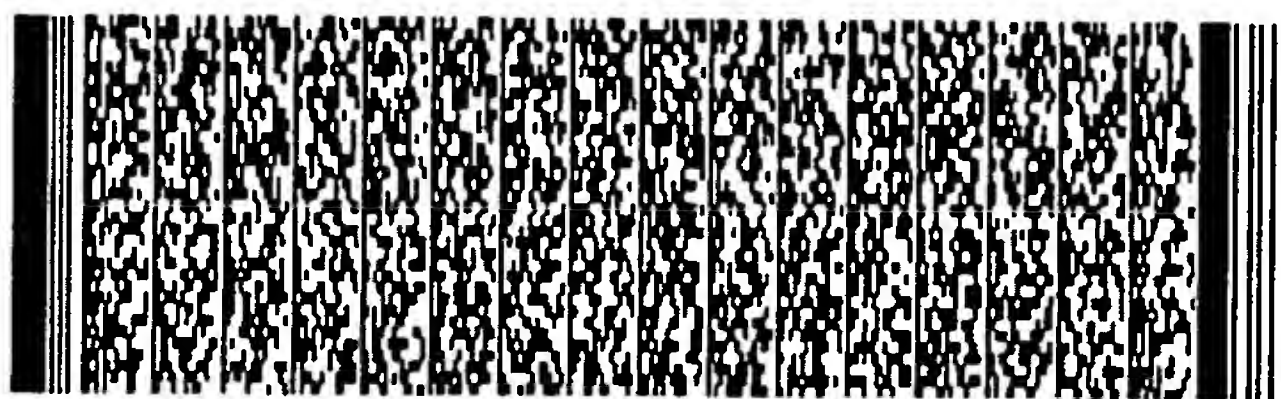
13.如申請專利範圍第1項所述之抗雜訊時脈訊號電路，其中該匯流排為一 SMBUS (smart bus)。

14.一種用來消除一匯流排上所傳送之原始時脈訊號 (clock signal) 中的雜訊之抗雜訊時脈訊號電路，其包含：

一連接導線組，其包含該匯流排及至少一沿著該匯流排設置之導線，該原始時脈訊號係輸入於該匯流排之第一端，而每一該導線之第一端係連接於一參考電壓；
一電壓算術平均器，該電壓算術平均器之輸入端係電連接於每一該導線之第二端，用來計算所有該導線之第二端上電壓之算術平均電壓；以及
一電壓偵測電路，電連接於該連接導線組中該匯流排之第二端及該電壓算術平均器之輸出端，用來依據該匯流排之第二端及該電壓算術平均器之輸出端上之電位差輸出一修正時脈訊號。

15.如申請專利範圍第14項所述之抗雜訊時脈訊號電路，其中每一該導線係平行於該匯流排。

16.如申請專利範圍第14項所述之抗雜訊時脈訊號電路，其中該至少一沿著該匯流排設置之導線係沿該匯流排設置二分列於該匯流排兩側之導線。



六、申請專利範圍

17.一種用來消除一匯流排上所傳送之原始時脈訊號中的雜訊之方法，該方法包含：

將該原始時脈訊號輸入於該匯流排之第一端；

沿該匯流排設置一導線，該導線之第一端係連接於一參考電壓；以及

於該匯流排之第二端上之電壓高於該導線之第二端上之電壓時，輸出一修正時脈訊號。

18.如申請專利範圍第17項所述之方法，其中該導線係平行於該匯流排。

19.如申請專利範圍第17項所述之方法，其中該匯流排為一SMBUS。

20.如申請專利範圍第17項所述之方法，其中該原始時脈訊號係產生自一主控器，而該修正時脈訊號係輸出至一從控器。

21.一種用來消除一匯流排上所傳送之原始時脈訊號中的雜訊之方法，該方法包含：

將該原始時脈訊號輸入至該匯流排之輸出端；

沿該匯流排設置至少一導線，其中每一該導線之輸入端係連接於一參考電壓；

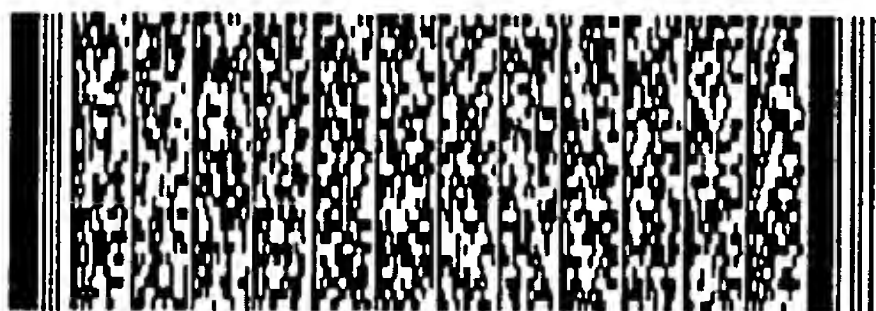


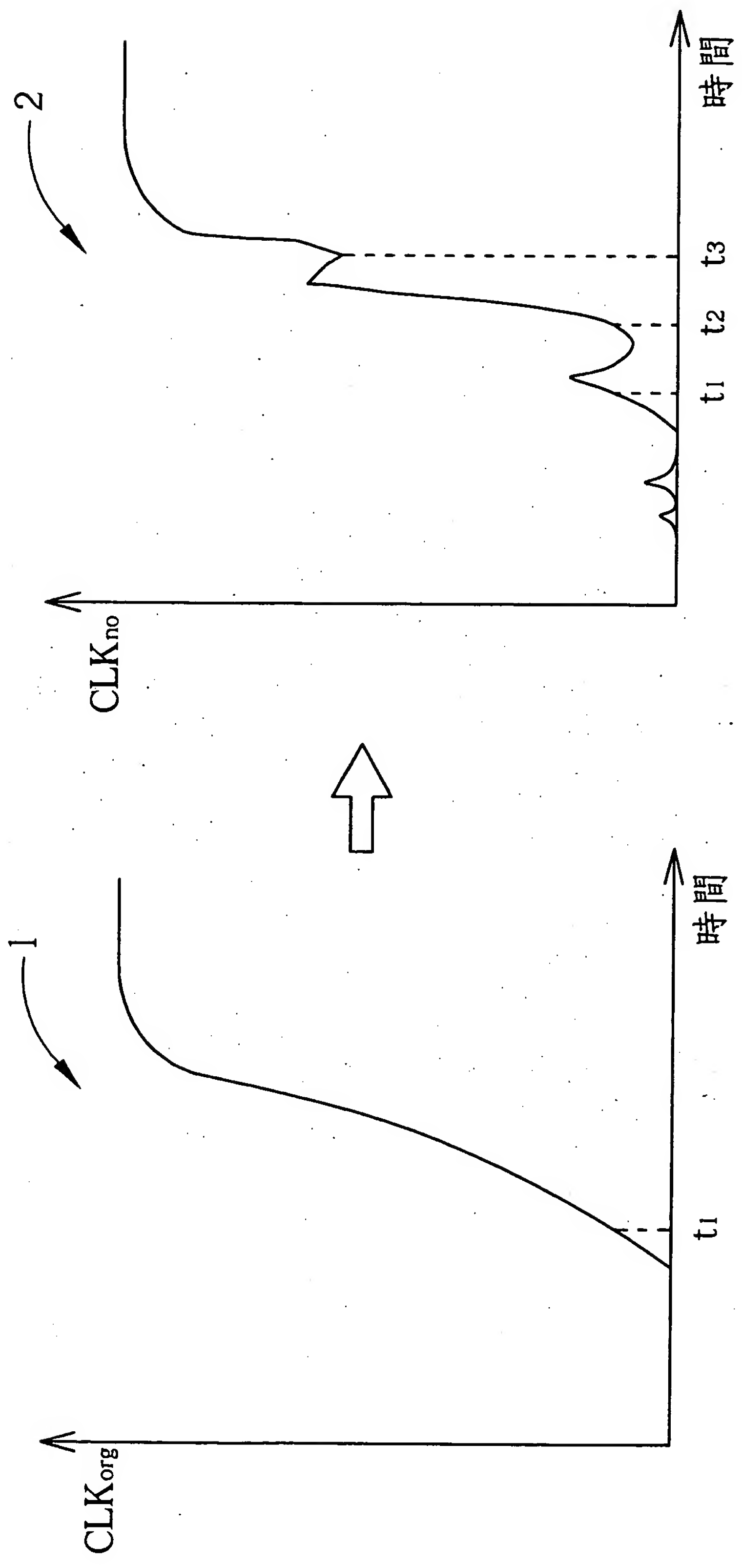
六、申請專利範圍

計算所有該導線之輸出端上電壓之算術平均電壓；以及於該匯流排之輸出端上之電壓高於該算術平均電壓時，輸出一修正時脈訊號。

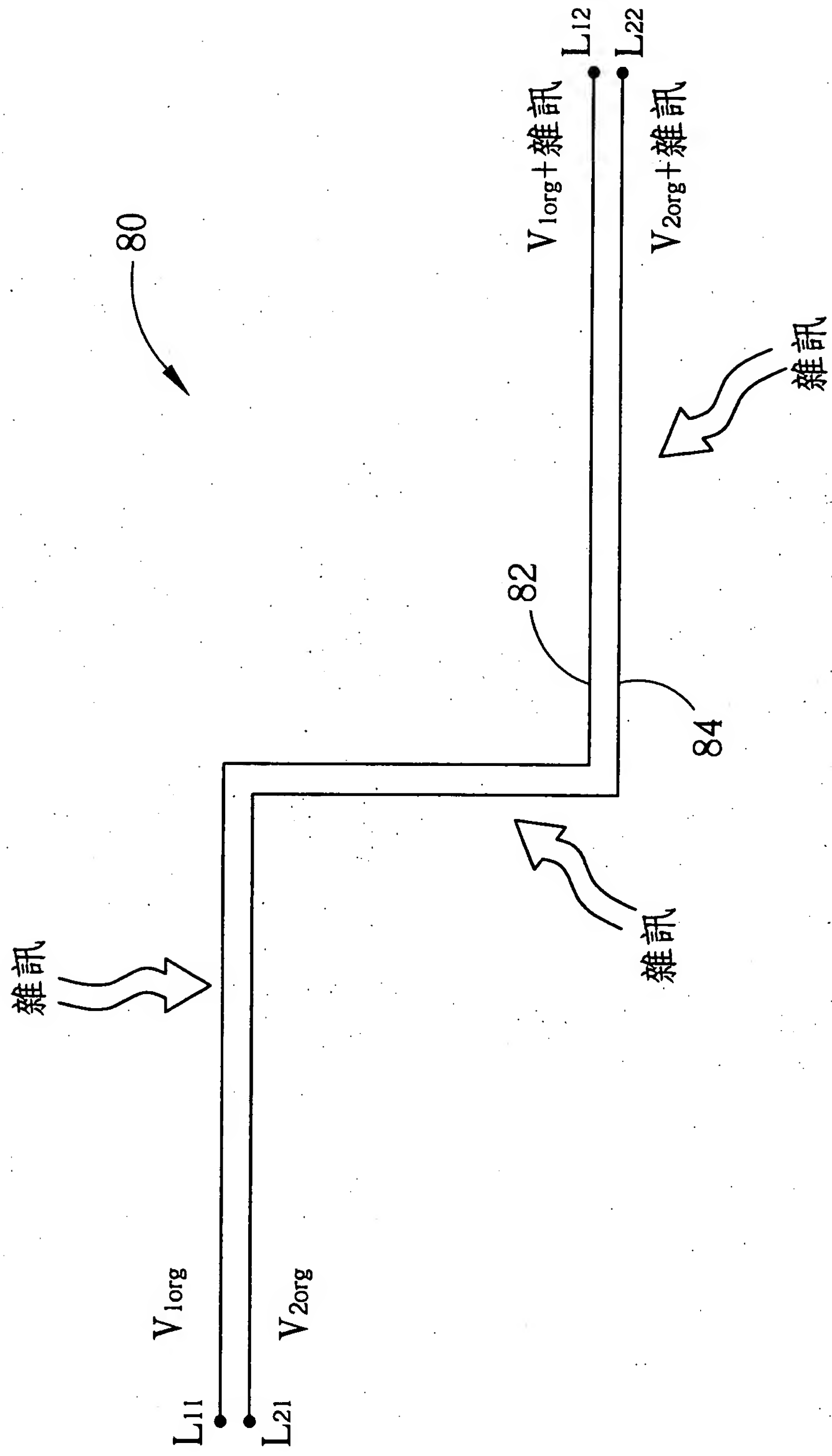
22.如申請專利範圍第21項所述之方法，其中每一該導線係平行於該匯流排。

23.如申請專利範圍第21項所述之方法，其中該沿該匯流排設置至少一導線係沿該匯流排設置二分列於該匯流排兩側之導線。

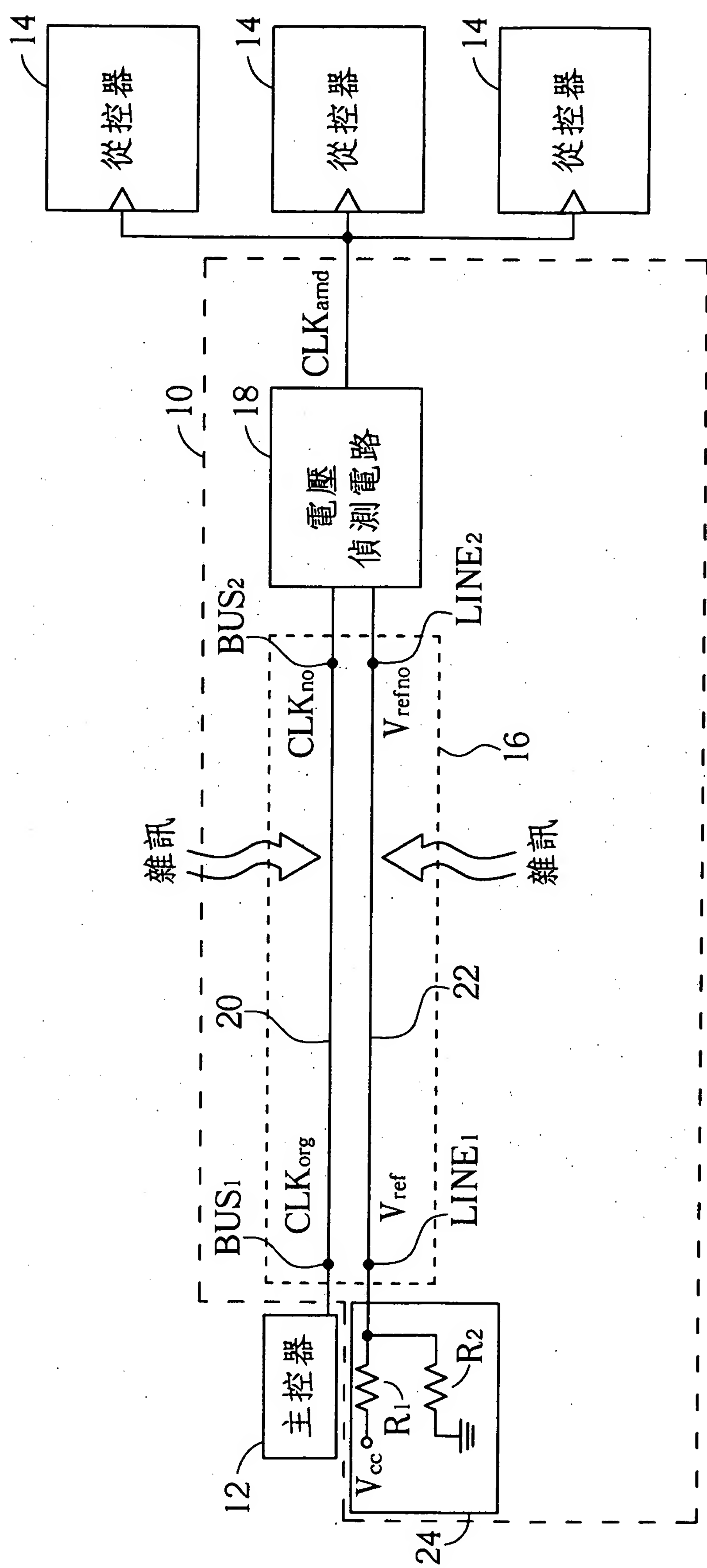




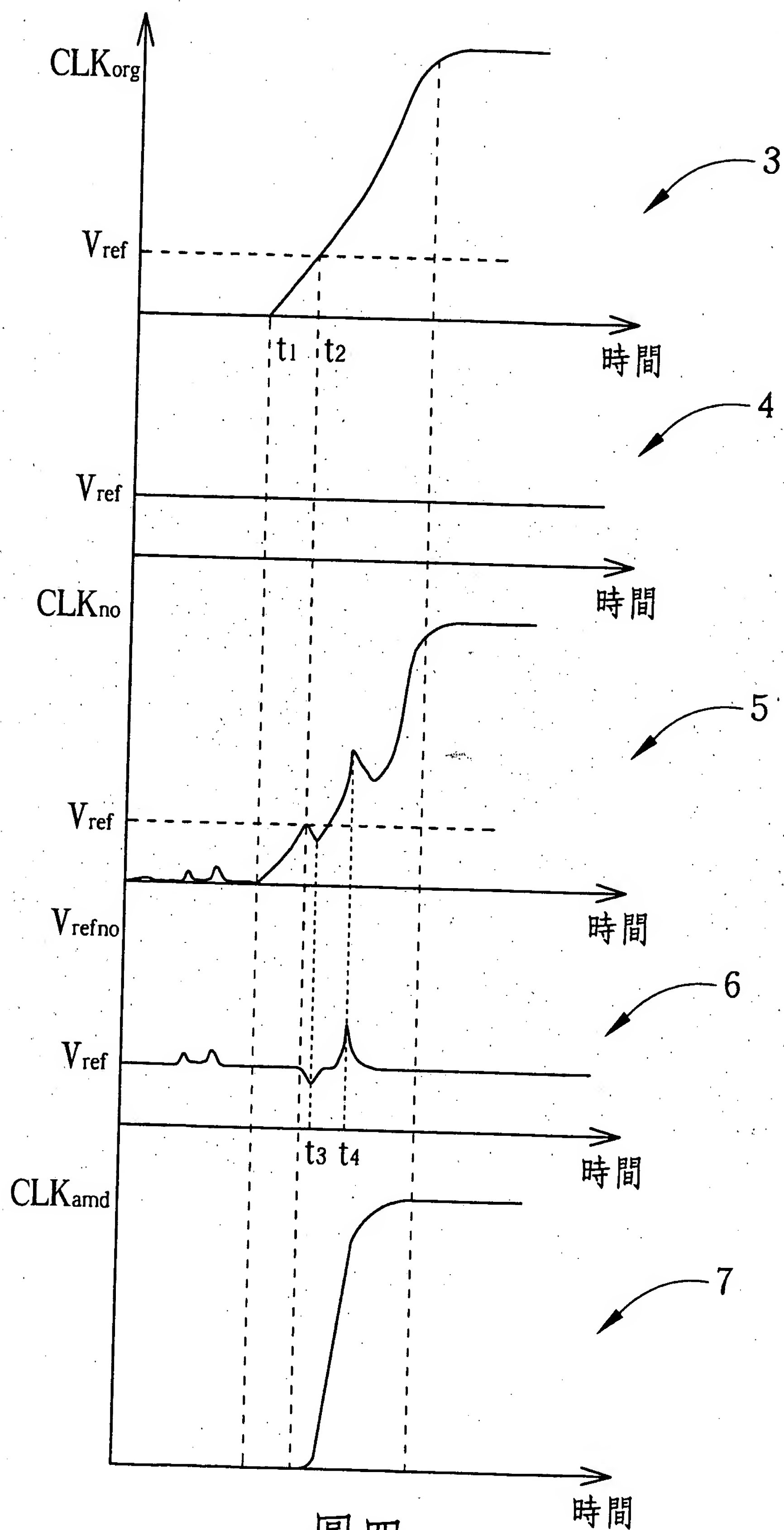
圖一



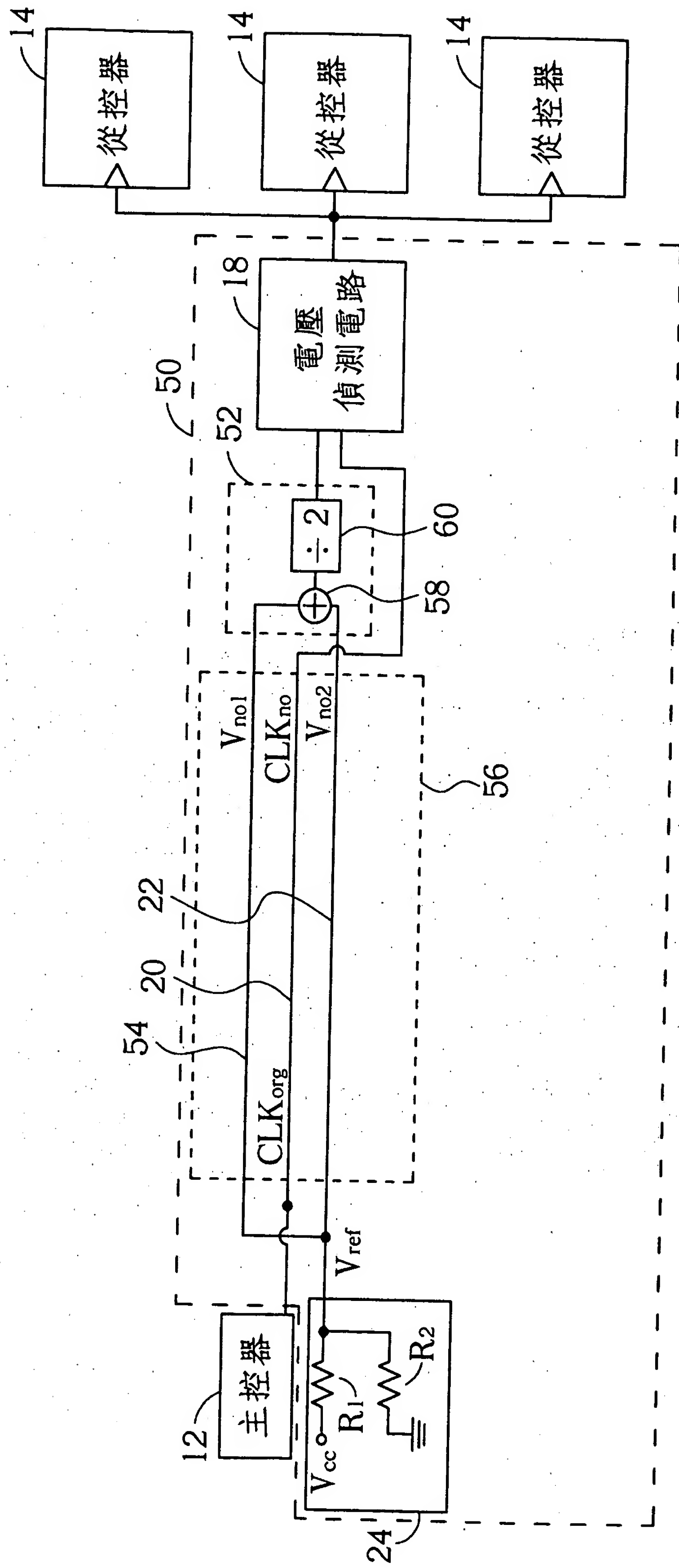
圖二



圖三

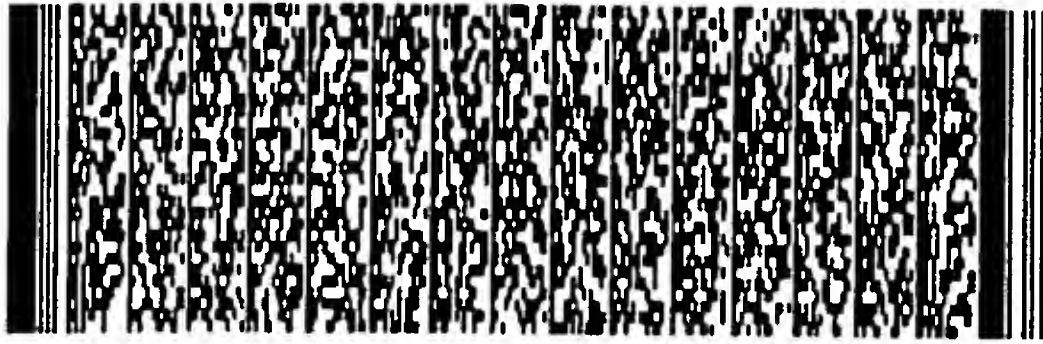


圖四

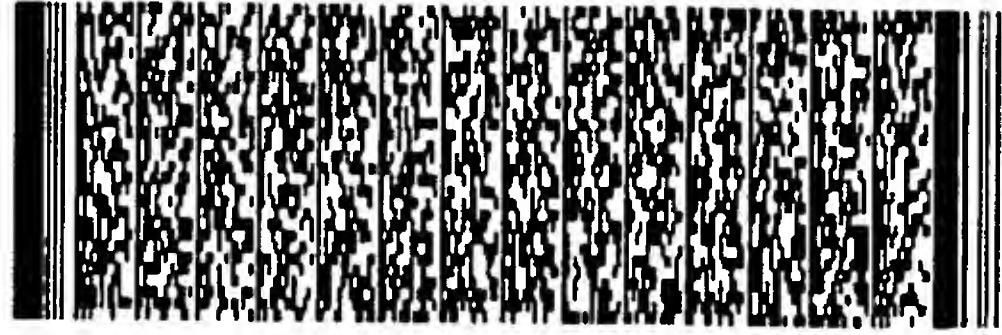


圖五

第 1/19 頁



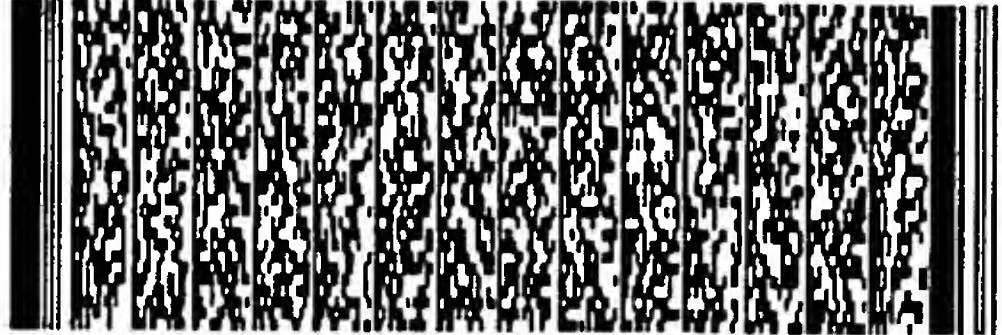
第 2/19 頁



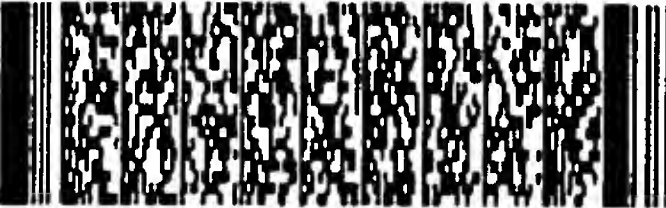
第 2/19 頁



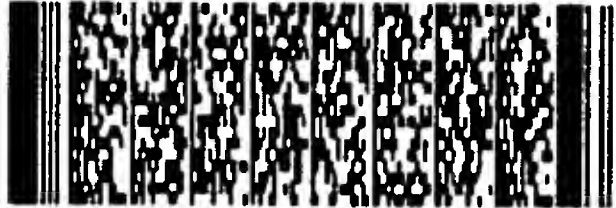
第 3/19 頁



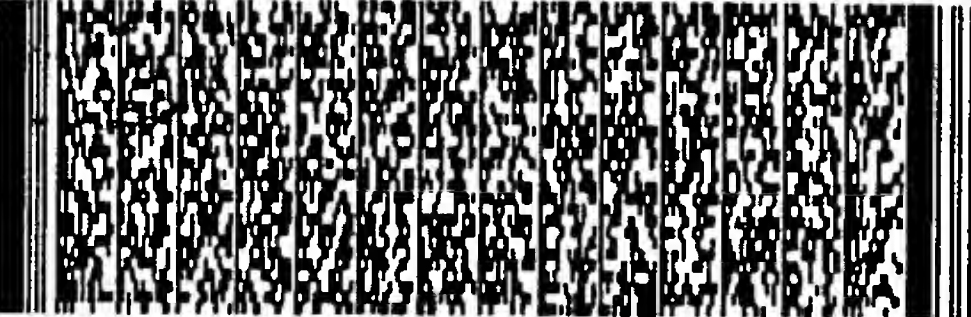
第 4/19 頁



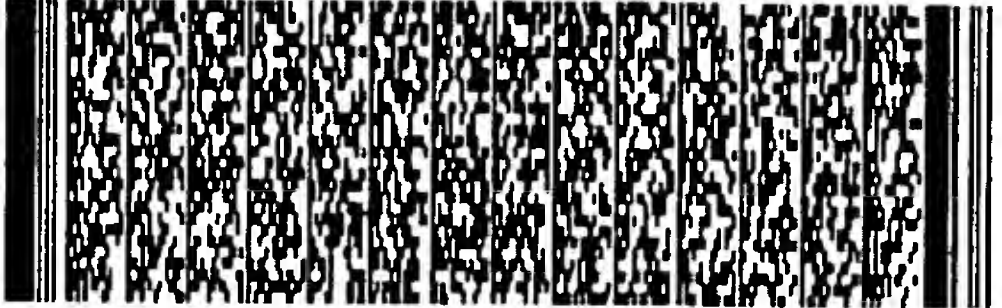
第 5/19 頁



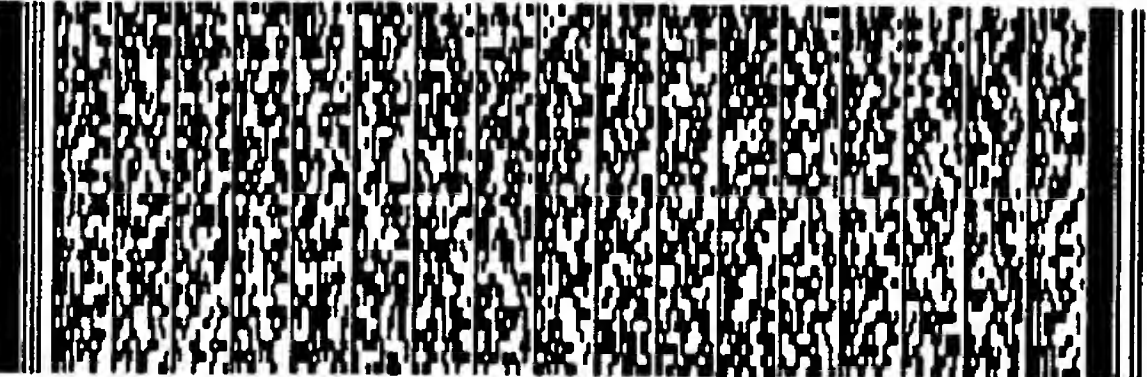
第 6/19 頁



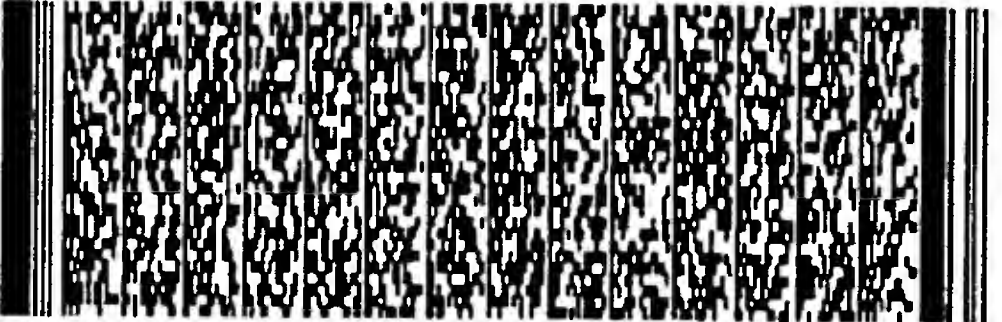
第 6/19 頁



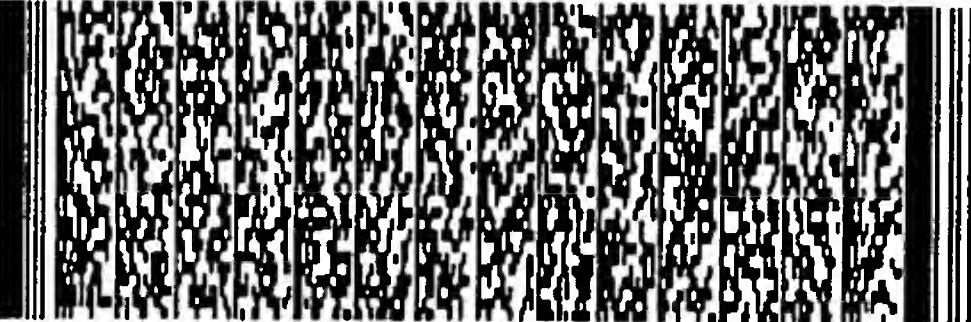
第 7/19 頁



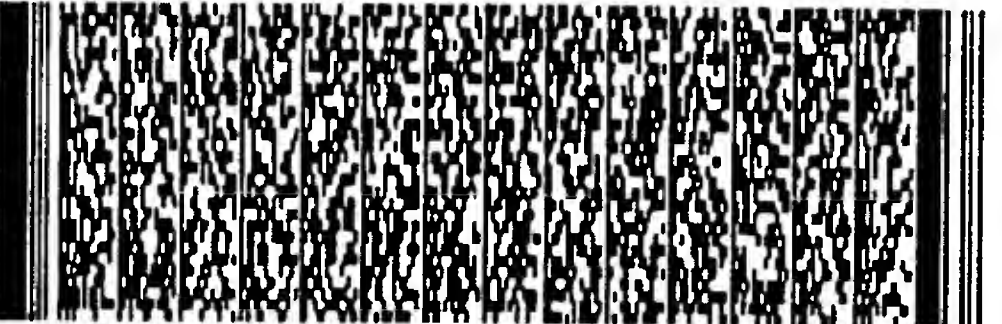
第 8/19 頁



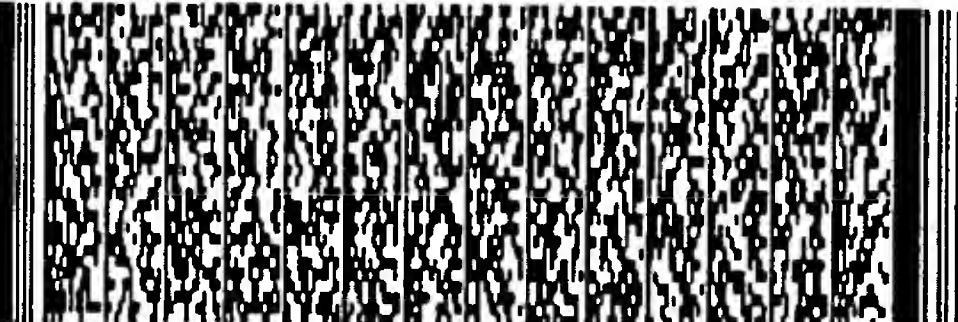
第 8/19 頁



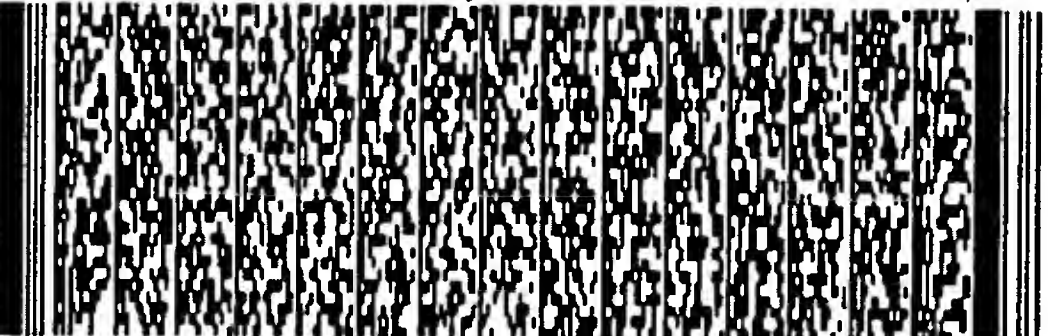
第 9/19 頁



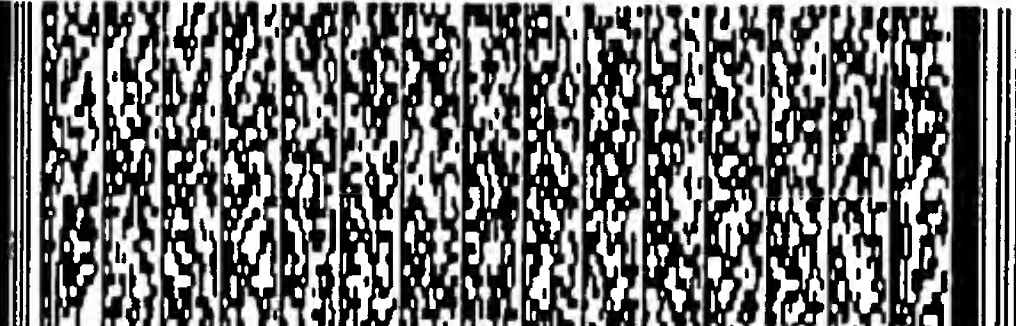
第 9/19 頁



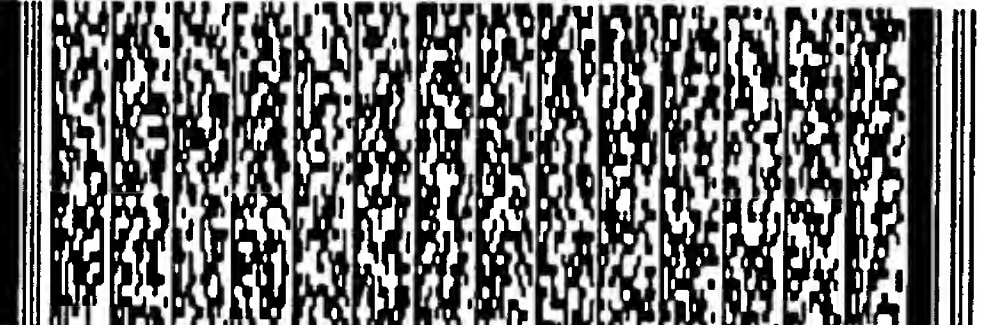
第 10/19 頁



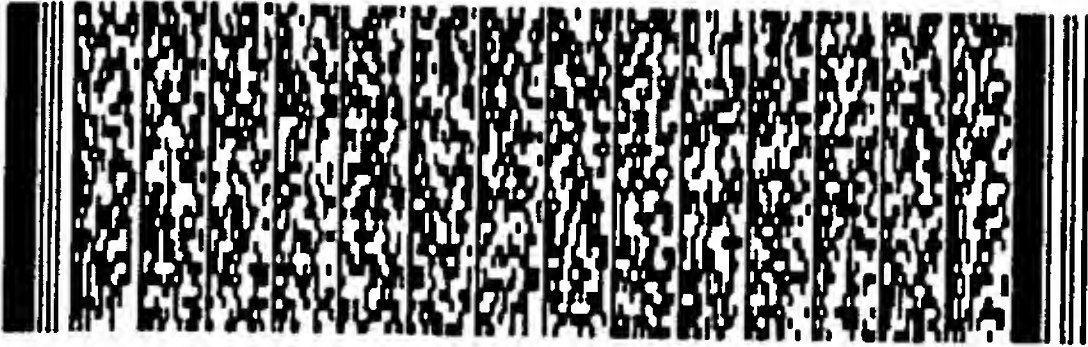
第 10/19 頁



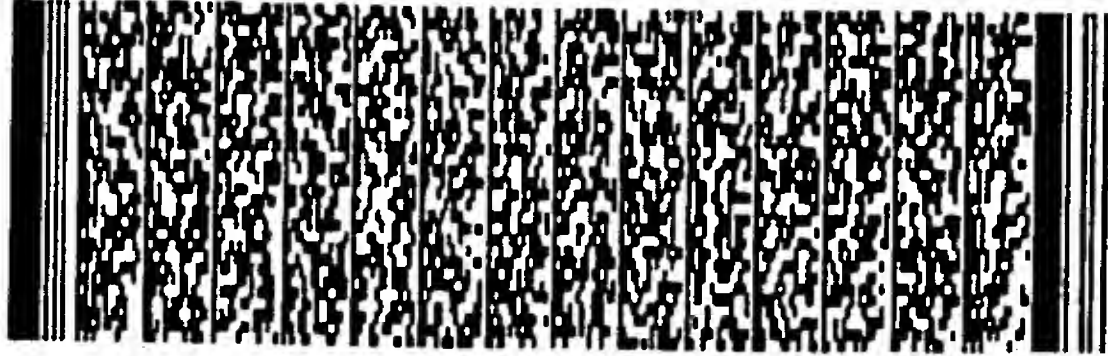
第 11/19 頁



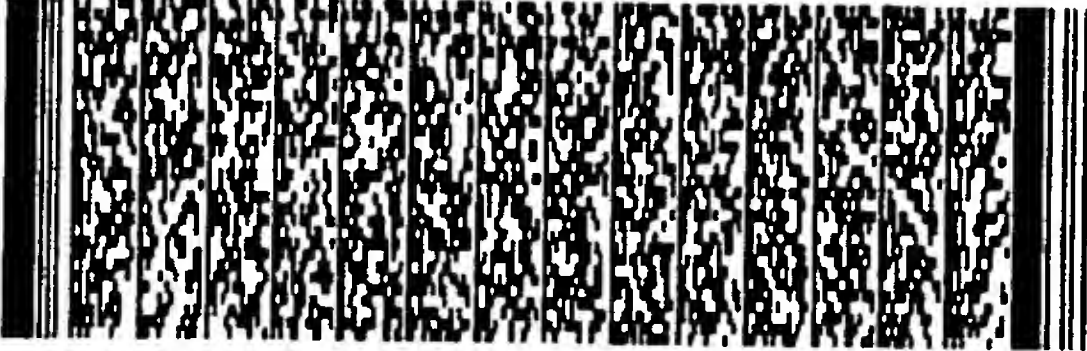
第 11/19 頁



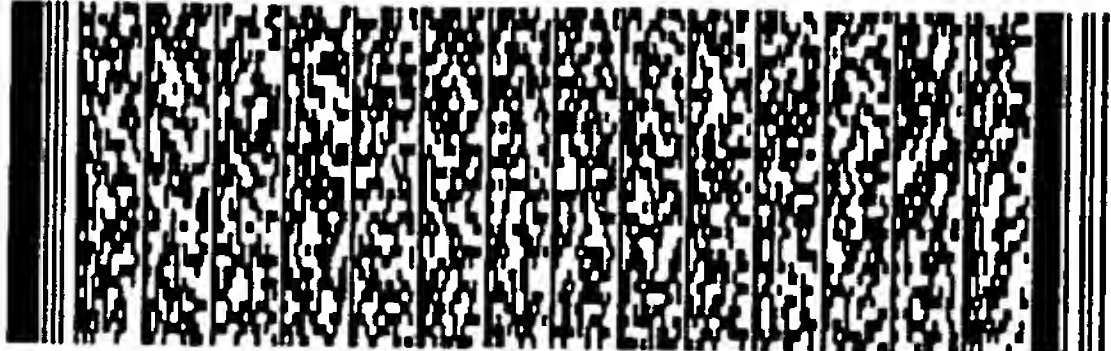
第 12/19 頁



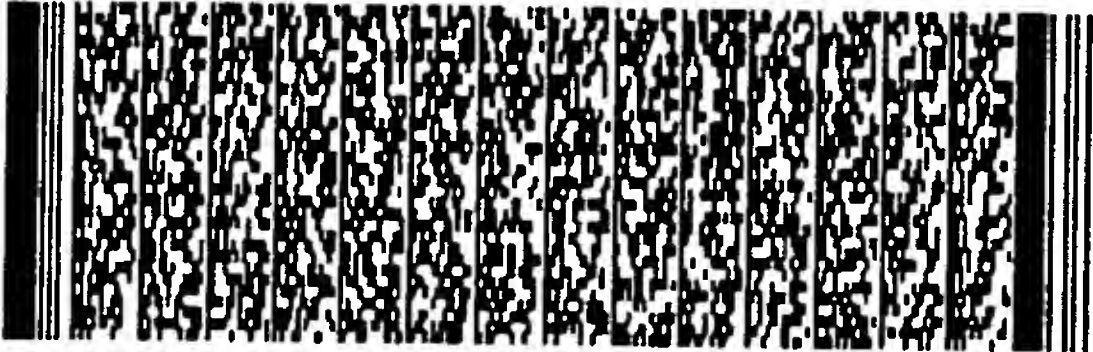
第 12/19 頁



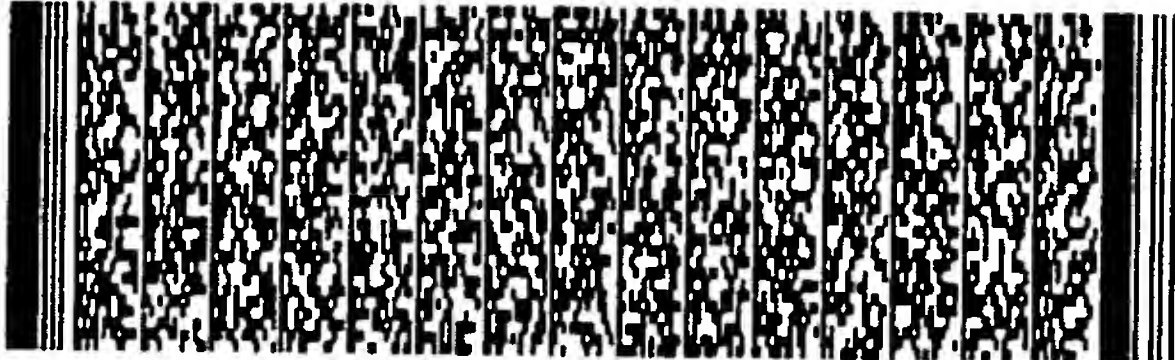
第 13/19 頁



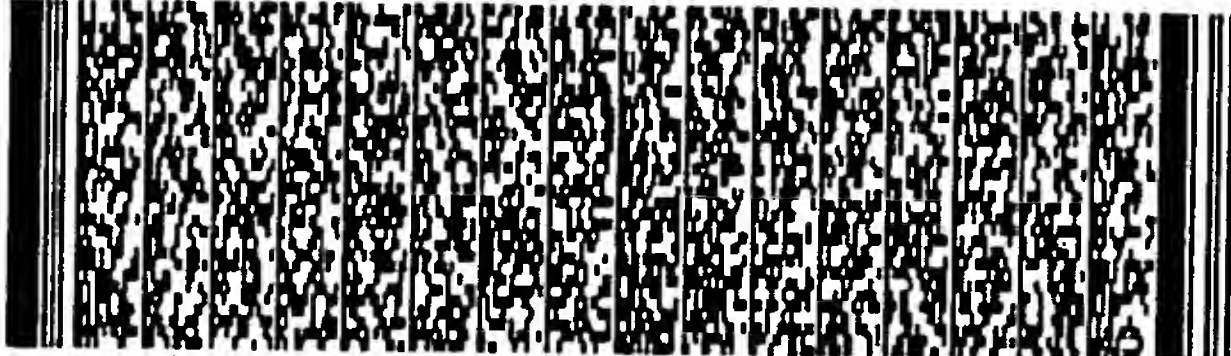
第 13/19 頁



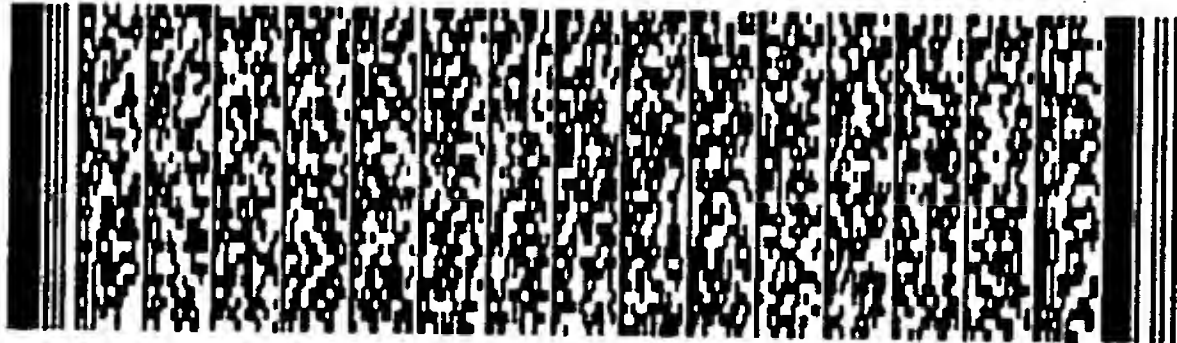
第 14/19 頁



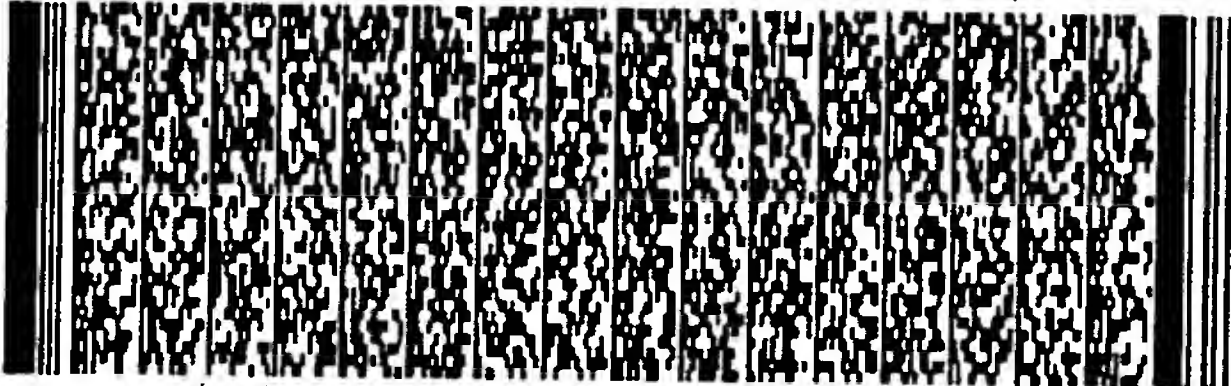
第 15/19 頁



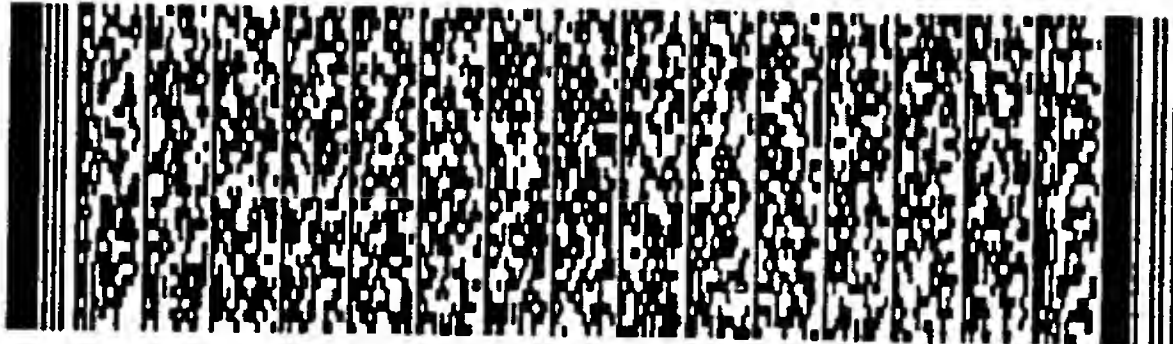
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

